

基于 TSV 技术的 CIS 芯片晶圆级封装工艺研究

董西英, 徐成翔

(南京信息职业技术学院, 江苏 南京 210046)

摘 要: 基于 TSV 技术的封装技术是目前 MEMS 产品、存储器、3D IC 封装中的高端和热点技术。本文论述了在国内处于领先并正在量产化研究阶段的基于 TSV 技术的 CIS 芯片晶圆级封装工艺流程。通过理论分析和实验, 重点研究了在封装流程中将铝刻蚀、去胶提前到金属镀覆之前的意义和所出现的镍滋生问题。研究表明, 将铝刻蚀、去胶提前到金属镀覆之前可以缩短去胶时间, 减少光刻胶的残留和金属镀覆层数; 通过延长金属镀覆过程中每次 UPW 冲洗时间, 在 EN Ni 中防止镀液结镍, 并在镀锌时降低锌液的粘附性和镀锌后增加硝酸清洗步骤, 即可消除镍滋生。以上研究对于提高封装效率和合格芯片率, 降低成本是很有意义的。

关键词: 3D IC; CIS; TSV; 晶圆级封装工艺流程; 化学镀; 镍滋生

中图分类号: TN4

文献标识码: A

文章编号: 1000-7180(2011)04-0151-05

The Research of CIS Chip Wafer Level Packaging Process Based on TSV

DONG Xi-ying, XU Cheng-xiang

(Nanjing College of information Technology, Nanjing 210046, China)

Abstract: TSV-based packaging technology is a kind of high-end technology currently used in MEMS, memory and three-dimensional integrated circuits. This article discusses the TSV-based CIS chip wafer level packaging process which is in the mass production phase and in a leading position in our country. The emphasis of this work focuses on the theoretical and experimental investigations of executing aluminum etching and photoresist removal before metallic coating, and the induced Ni-breeding problem. It is found that the new process flow can shorten the time of photoresist removal, decrease the residua of photoresist and reduce the number of layers of metallic coating. Extending UPW rinse time in electroplating process each time, avoiding forming Nickel particles in plating solution in EN Ni. Lowering zinc concentration when zinc plating and increase nitric acid cleaning steps therefore circumvent the problem of Ni-breeding. The results are helpful to improve the efficiency, increase the passing rate of the chips greatly and reduce the costs.

Key words: 3D IC; CIS; TSV; wafer level package process; chemical plating; Ni-breeding

1 引言

基于 TSV 技术的三维方向堆叠的集成电路封装技术(3D IC)是目前最新的封装技术, 具有最小的尺寸和质量, 有效的降低寄生效应, 改善芯片速度和降低功耗等优点^[1-6]。TSV 技术是通过在芯片和芯片之间制作垂直导通, 实现芯片之间互连的最新技术^[2]。从 2007 年 3 月日本的 Toshiba 公司首次展出

的采用 TSV 技术的晶圆级封装的小型图像传感器模组^[7]开始至今, 这项技术不断吸引全球主要图像传感器厂商陆续投入以 TSV 制造的照相模组行列。目前这项封装技术在国内处于早期实用性研究发展阶段, 还未达到批生产的吞吐量需求。从 2008 年至今国际上也只有东芝、Oki-新兴公司, STMicroelectronics、Aptina 这些半导体巨头在手机 CIS 芯片晶圆级封装中使用最新的 TSV 技术^[5]并相继研

发实现了量产。

文中研究了基于 TSV 技术的 CIS 产品晶圆级封装工艺流程,这一工艺流程经过了批量生产的考验。重点研究了在背面打孔溅镀铝层后,光刻、镀覆 Zn/Ni 层、刻蚀铝、去胶、镀覆 Au 金属层的顺序问题。先光刻、刻蚀铝、去胶,再镀覆 Zn/Ni/Au 金属层,会带来更多的好处,但却在镀镍中产生了镍滋生,通过反复的实验和研究,找到了镍滋生产生的原因及消除方法,从而使该封装工艺流程和镀镍工艺缩短,生产效率提高,封装成品率提高,降低成本。

2 基于 TSV 技术的手机 CIS 芯片晶圆级封装结构及工艺流程

2.1 手机 CIS 芯片晶圆级封装结构

图 1 是手机摄像头模组中的图像传感器芯片的封装结构图。图中的 Si 是半导体(Si)图像传感器集成电路芯片。芯片正面四周的 PAD 上的树脂墙和光学玻璃连接,并在芯片正面和光学玻璃之间形成空腔。将芯片正面的金属 PAD 通过在背面打孔、金属镀覆、光刻刻蚀等技术垂直引向背面(TSV 技术),在背面将 PAD 重新分布,再制作 BGA 焊锡球。这种封装使封装后芯片面积达到最小,实现晶圆级封装。封装后的产品照片见图 2。

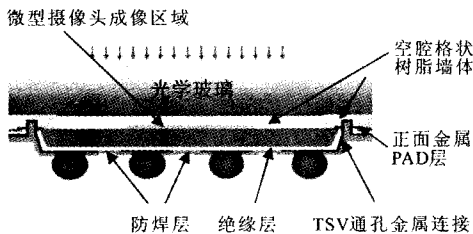


图 1 手机 CIS 芯片晶圆级封装结构图

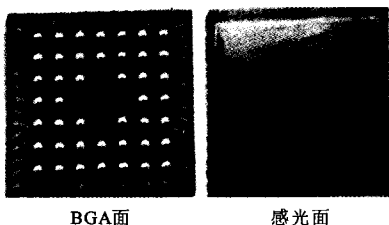


图 2 封装好的 CIS 产品照片

2.2 手机 CIS 芯片晶圆级封装工艺流程

经过小批量、中批量的生产型实验和不断的研究改进,基于 TSV 技术的 CIS 芯片晶圆级封装工艺流程基本成熟。是目前国内先进的 CIS 芯片封装工艺。具体为:

1 感光玻璃清洗→2 格状树脂空腔形成→3 树脂墙和硅晶圆正面对准压合→4 硅晶圆背面减薄→

5 硅晶圆背面整面刻蚀→6 划道刻蚀→7 硅背面盲孔制作→8 硅背面电镀绝缘层→9 盲孔处激光打孔→10 背面溅镀铝层→11 电镀光刻胶、刻蚀铝、去胶→12 镀覆 Zn/Ni/Au 金属层→13 形成防焊层→14 BGA 锡球印刷、成型、导通线路→15 激光打标→16 影像测试→17 切割→18 终检→包装出货。

该封装工艺中的 TSV 新技术通过第 7 步到第 12 步来实现。在第 7 步中,对硅芯片的背面进行光刻和干法刻蚀,刻蚀掉正面 PAD 垂直对应位置的背面硅,背面硅对应 PAD 处就出现了微坑,然后去胶,微坑底部暴露正面 PAD 处的金属电极。第 8 步是在硅的背面电泳涂装一层绝缘层。电泳涂膜的硬度、附着力、均匀性、耐腐蚀性、冲击性能以及渗透性能明显优于其他涂装工艺,这样在微孔内部就能均匀涂上绝缘层。第 9 步是在背面 PAD 微坑处纵向激光打孔,激光穿透绝缘层和金属 PAD 层(约穿透格状墙 5~10 微米左右)将微坑内集成电路的 PAD 金属层打掉,露出 PAD 金属层的侧面。第 10 步通过溅镀方式在 Si 背面溅镀一层铝层,使铝与芯片的所有正面导电 PAD 连接。这样沿硅片的垂直方向就把正面的 PAD 连接到了硅的背面。这就是 TSV 技术的核心。再通过之后的工艺,把背面这层导电的铝层进行光刻、刻蚀、去胶,在硅背面形成了 PAD 的再分布。

2.3 刻蚀铝、去胶、镀覆 Au 金属层的流程问题研究

在 11、12 步中有两种工艺流程。

A 流程:先电镀光刻胶,曝光、显影而不蚀刻铝,在光刻胶上形成 PAD 布线图,见图 3(a),并用光刻胶做保护,进行镀覆 Zn/Ni 金属层,然后刻蚀铝、去胶和边缘金属镀覆,见图 3(b)。

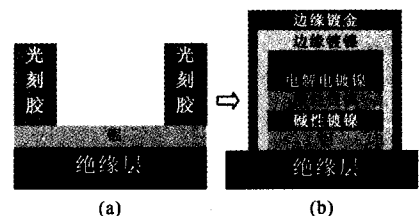


图 3 光刻胶上的 PAD 布线图

A 流程存在两个问题:

第一,光刻胶在后续镀覆金属膜中起保护绝缘层作用,所以要选择保护功能好的光刻胶。光刻胶经过多次金属镀覆工艺后,已经形成了聚合物,非常难以去除,去胶时间长,易导致光刻胶残留。一料盒(LOT)硅片的去胶时间大概是一个多小时。

第二,金属镀覆的流程复杂. 流程为:硅片前处理→化学镀锌→硝酸退出→化学镀锌→碱性预化学镀镍→酸性化学镀镍→电解电镀镍→酸性化学镀镍→去胶和蚀刻铝(甲酸浸泡→等离子去胶→刻蚀铝)→边缘化学镀锌→边缘酸性化学镀镍→边缘酸性化学镀?. 突出的 BGA 载体有 7 层金属,层数多,时间长,耗材多.但这种工艺流程不会产生镍滋生和短路问题.

B 流程:具体为电镀光刻胶、刻蚀铝、去胶,在铝层上形成新的 PAD 布线图,如图 4(a),然后进行第 12 步的 Zn/Ni/Au 金属镀覆.因为金属镀覆前 BGA 载体铝的四周没有了光刻胶,各层金属镀覆都将包围 BGA 载体铝的四周,对铝形成很好的保护,故将金属镀覆工艺流程可简化为:硅片前处理→化学镀锌→碱性预化学镀镍→酸性化学镀镍(EN Ni)→酸性化学镀金. 见图 4(b).

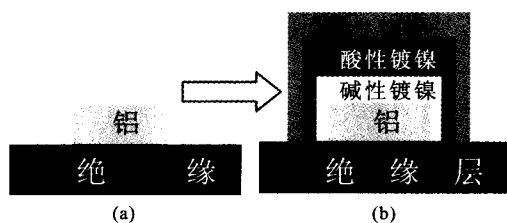


图4 铝层上的 PAD 布线图

B 流程有两大优点:

第一,刻蚀铝、去胶放在镀覆金属之前进行. 光刻胶只是为了刻蚀铝时做阻挡层,故选择和 A 流程不同品种的光刻胶,使去胶很容易. 一料盒(LOT)硅片的去胶时间大概是十五分钟,去胶时间大大缩短,节约近一个小时时间. 提高工作效率 4 倍多.

第二,金属镀覆工艺大大减少了步骤,省去了四次化学镀覆工序.但也引来一个很大的问题:在酸性镀镍时出现了镍滋生现象,严重时导致 PAD 短路.

3 镍滋生问题的研究与处理

3.1 镍滋生现象

从图 4(a)可看出,镀覆金属前,铝周围的绝缘层裸露,在镀覆金属中就没有了保护,在碱性预化学镀镍(EN Ni)完成后发现,在 PAD 周围的绝缘层上出现少量镍颗粒粘附,如图 5. 这种现象叫镍滋生. 虽未使 PAD 短路,但当继续下一步的酸性化学镀镍后发现, PAD 周围绝缘层上大量镍颗粒粘附,镍滋生严重,致使相邻的 PAD 之间大面积短路.

3.2 镍滋生现象产生的原因研究分析

造成镍滋生的原因可能很多,根据理论、实践经

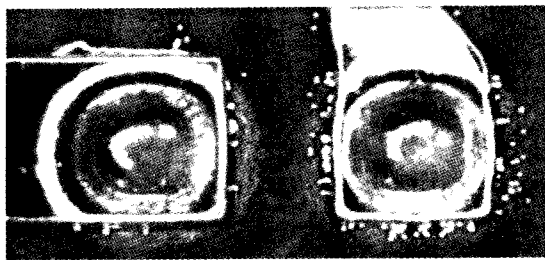


图5 镀镍后 PAD 周围镍滋生现象显微照片

验分析得出原因可能为:(1)表面颗粒污染;(2)酸性化学镀镍(EN Ni)过程中的镀液的结镍引起;(3)镀锌工艺后,镀锌液残留在绝缘层上(锌残留),从而导致镀镍时在绝缘层上出现镍滋生.

3.2.1 表面颗粒污染原因

实验 1 排除金属镀覆过程杂质颗粒污染

实验过程、现象与结果分析:每次清洗时间从 150s 开始逐渐增加,发现当清洗时间至 330s 时, PAD 处的镍点有明显的减少,但镍滋生现象依然存在. 证明杂质颗粒污染是造成镍滋生的一个原因. 硅片的表面处理是所有镀前处理最重要的技术环节,镀前处理不到位,直接影响到镀膜的结合力、表面状态和外观等品质问题.

3.2.2 酸性化学镀镍过程中镀液结镍原因

化学镀镍中,镀液中镀盐、还原剂、稳定剂的选择、各成份的浓度以及施镀过程镀液的 PH 值、温度、镀液的稳定性等对镀速、镀膜质量、镀膜层的含磷量等都有很大的影响.

(1) 镀盐浓度的影响:保持其他条件不变,镀速随镀盐浓度的上升先上升后下降. 在一个恰当值时,镀速最高. 而且镍盐浓度会影响镀层表面光亮的光亮度.^[8]

(2) 还原剂浓度的影响:还原剂浓度增加,镀速上升,但增加到临界值以上时,镀速不在发生明显变化,此时镀液会变得不稳定,有镍粒出现(结镍)^[8]. 研究表明^[9],镀层含磷量会随还原剂浓度的增大而升高,微电子封装要求低含磷量.

(3) PH 值:镀液 PH 值的变化会影响镀速、镀层含磷量以及镀液的稳定性等. 镀液 PH 值越低,镀层含磷量越高,镀速越低;PH 值升高,镀速加快,但 PH 值过高(大于 6 时),容易产生亚磷酸镍沉淀,即结镍现象,镀液会变浑浊,即稳定性变差^[9-11]. PH 值为 4.5 附近时,镀速能达到最快,镀层含磷量符合镀镍钎焊要求^[8].

(4) 温度:温度低于 70℃ 时,反应不能进行. 镀速随温度的升高而增快,镀液为 90℃ 时,镀速达到

最快,但是温度过高,或者持续时间过长,镀液就易分解变浑浊,产生结镍. 镀速也会随之下降^[8]. 本工艺选择 $88\pm 2^{\circ}\text{C}$, 镀速快且稳定,又能尽量保证镀液不分解.

(5) 稳定剂浓度的影响: Ti^{2+} 加入量不宜超过 10mg/l ,否则会导致结晶粗. Ti^{2+} 浓度选择在 4.8mg/l 左右,能使镀液保持在镀速高且稳定的状态^[8].

综合考虑镀速、含磷量、稳定性等因素,在 A 流程中 EN Ni 工艺,镀液镀盐为硫酸铜,浓度为 $5.4\sim 6.2\text{g/l}$,还原剂为次磷酸根,浓度为 $28\sim 30\text{g/l}$,稳定剂为 Ti^{2+} 浓度选择在 4.8mg/l 左右. 工艺条件为:温度为 $88\pm 2^{\circ}\text{C}$,PH 为 $4.3\sim 4.7$,施镀时间 180s ,最终镍层厚度要达到 $2\sim 4\ \mu\text{m}$. 采用这样的配方和工艺条件在 B 流程中镀镍,会发生严重的镍滋生现象. 初步怀疑镀液中结镍所致.

实验 2 检查 EN Ni 过程中槽液结镍现象

在 EN Ni 工艺中,观察槽液结镍和镍滋生对应情况. 实验发现:当镀液形成结镍时,PAD 处镍滋生严重,没有结镍时,镍滋生相对少. 结镍后马上更换镀液镍滋生会减少,但 Ni 滋生现象依然存在. 说明镀液结镍是产生镍滋生的一个原因.

造成 EN Ni 工艺结镍的原因很多,镀液的组成及配比、温度、PH 值等改变其中的一个,其他的也要做相应的调整,难度比较大. 所以,保持镀液、温

度、PH 值、时间等不变的情况下,从比较简单的辅助工艺来防止结镍.

实验 3 寻找防止镀液结镍的辅助方法

实验过程、现象与结果分析:(1)温度仍保持在 $88\pm 2^{\circ}\text{C}$,初镀时 PH 为 4.5 ,增加 PH 值检测频率为三小时一次,密切关注镀液的 PH 值的稳定性对结镍和镀品速度的影响;(2)调整镀液的 PH 值保持 PH 值为镀速最高的值附近,确定最优的 PH 值范围,及换液时间.(3)观察工作温度下,不施镀使镀液长时间放置是否产生结镍;(4)比较镀液流量与镀层的均匀性的关系.

3.2.3 镀锌工艺的镀锌液残留原因

镀锌溶液种类很多,按其性质可分为氰化物镀液和无氰化物镀液两大类. 氰化物镀锌溶液具有良好的分散能力和覆盖能力,镀层结晶光滑细致,操作简单,适用范围广,在生产中被长期使用. 但镀液中含有剧毒的氰化物,在电镀中逸出的气体对工人健康危害较大,其废水在排放前必须经过严格处理. 无氰化物镀液有碱性锌酸盐镀液、氯化铵镀液、硫酸盐镀锌及无铵盐氯化物镀液等,其中碱性锌酸盐和无铵盐氯化物镀锌应用最多.

按表 1 的镀锌工艺镀锌后再化学镀镍会产生镍滋生. 初步怀疑是镀锌后锌液中的锌残留在绝缘层上所致.

表 1 产生镍滋生时的镀锌工艺

步骤	工艺
第一次镀锌	镀锌液:锌浓度范围为 $200\sim 300\text{g/l}$ 的氧化锌沉锌剂镀锌液,室温下施镀 10s 之后 UPW 冲洗 150s . 900 片换镀锌液
硝酸退隐	利用浓度为 $35\sim 355\text{g/l}$ 的硝酸浸泡 10s 之后 UPW 冲洗 150s . 400 片 & 15 天换硝酸槽.
第二次镀锌	镀锌液和第一次镀锌液相同,室温下施镀 5s 之后 UPW 冲洗 150s . 900 片换槽.

实验 4 降低锌液在绝缘层上的粘附性,消除锌液残留,解决镍滋生问题

降低锌浓度,并在第二次镀锌后增加硝酸退隐,同时延长 UPW 冲洗时间. 然后镀镍,观察镍滋生情况. 结果显示:随着锌浓度的降低,硝酸退隐步骤增加,UPW 冲洗时间的延长,硅片 PAD 附近绝缘层是的镍滋生现象大大减小. 当锌浓度降 $180\sim 190\text{g/L}$,硝酸退隐 10s ,UPW 冲洗时间的延长之 330s 后进行镀镍,镍滋生完全消除. 见图 6 显微照片.

锌液在硅片上的残留是导致镀镍中镍滋生的重要原因. 当镀液中的锌浓度降低. 锌液在硅片上的粘附力降低,通过降低镀锌液中的锌浓度和增加锌离

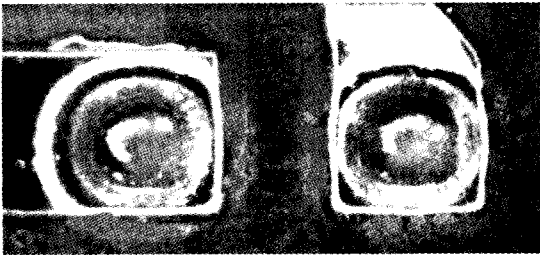


图 6 镀镍后 PAD 周围没有镍滋生显微照片

子的清洗可以彻底清除对片的锌液残留,使后续的镀镍不会产生镍滋生. 降低锌液的粘附性也可以采用其他的方法,例如将具有很强粘附性的碱性沉锌剂更换为酸性沉锌剂,或者通过降低镀锌液温度来

降低锌离子的活性,从而有效的抑制锌液残留,消除镍滋生,这两点有待于后继的实验分析来验证。

4 结束语

基于 TSV 技术的封装技术是目前 MEMS 产品、存储器、3D IC 封装中的高端和热点技术。文中论述了基于 TSV 手机 CIS 芯片的晶圆级封装工艺流程及其先进性,研究了缩短该封装工艺流程和时间的一种方法,即将铝刻蚀、去胶提前到金属镀覆之前进行,这样光刻胶很容易去除,去胶时间短,不易残留,减小了去胶的难度,节约了时间,同时电镀工艺工序变少,使封装效率提高,节省了成本。

文中重点研究了铝刻蚀、去胶提前后镀镍时出现的镍滋生问题,对造成镍滋生的原因进行了分析,找出并验证了新工艺,实验获得了成效。该工艺稳定,被采纳列入正式项目,进入量产化的生产。

参考文献:

- [1] 郎鹏,高志方,牛艳红. 3D 封装与硅通孔(TSV)工艺技术[J]. 电子工艺技术,2009,30(6).
- [2] 童志义. 3D IC 集成与硅通孔(TSV)互连[J]. 电子工业专用设备,2009,(3):27-34.

- [3] 陈贵宝,阎山. 系统级封装技术现状与发展趋势[J]. 电子工艺技术,2007,28(5):273-276.
- [4] 杨光育,杨建宁,韩依楠. 电子产品 3D—立体组装技术[J]. 电子工艺技术,2008,29(1):33-34.
- [5] Philip Garrou. 3D 集成电路进入商业化领域[J]. 集成电路应用,2009(5):37-40.
- [6] 封国强,蔡坚,王水弟. 硅通孔互连技术的开发与应用[J]. 中国集成电路,2007,(3):54-57.
- [7] 練惠玉. 由 TSV 技術看 CMOS 影像感測器廠商佈局[N]. 台湾区电机电子工业同业公会电子报,2008-10-15(41).
- [8] 刘圣迁,刘晓敏,张志谦,等. 微电子封装化学镀镍工艺研究及应用[J]. 电镀与涂饰,2005,24(1):40-43.
- [9] 李宁,袁国伟,等. 化学镀镍基合金理论与技术[M]. 哈尔滨:哈尔滨工业大学出版社,2000.
- [10] 曾华梁,吴钟达. 电镀工艺手册[M]. 北京:机械工业出版社,2000.
- [11] 刘巧明,夏传义. 用于微电子封装的化学镀纯镍研究[J]. 材料保护,1995,28(1):14-16.

作者简介:

董西英 女,(1961—),硕士,高级工程师. 研究方向为集成电路芯片工艺、封装测试。

(上接第 150 页)

- [5] 杨茂戴,紫彬. Linux2.6 下内核调试技术的改进与研究[J]. 微电子学与计算机,2006,23(6):152-154.
- [6] 王创社,周树杰. RTAI 实时调度器的优化与实现[J]. 北京石油化工学院学报,2007,15(3):51-55.
- [7] 王济勇,赵海,林涛,等. 定时器驱动的 RM 调度机制建模及其性能优化[J]. 计算机学报,2005,28(2):161-169.

作者简介:

李学桥 男,(1951—),教授,硕士生导师,CCF 会员(E200008277S). 研究方向为嵌入式系统与智能控制、计算机网络.

梁爽 女,(1984—),硕士研究生. 研究方向为嵌入式与智能系统.

陈园 男,(1986—),硕士研究生. 研究方向为嵌入式与智能系统.